

LED驱动控制/键盘扫描专用集成电路FD650

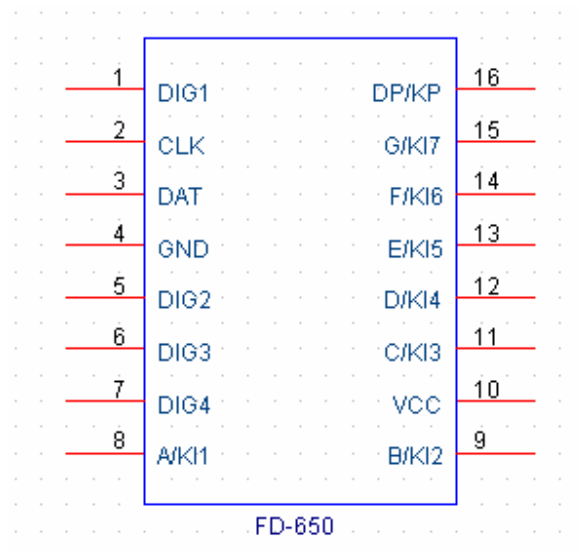
一、概述

FD650是一种带键盘扫描电路接口的LED驱动控制专用电路。内部集成有MCU输入输出控制数字接口、数据锁存器、LED驱动、键盘扫描、辉度调节等电路。本芯片性能稳定、质量可靠、抗干扰能力强，可适应于24小时长期连续工作的应用场合。

二、特性说明

- 显示模式：8段×4位
- 段驱动电流不小于25mA，字驱动电流不小于150mA
- 提供8级亮度控制
- 键盘扫描：7×4bit
- 高速两线式串行接口
- 内置时钟振荡电路
- 内置上电复位电路
- 支持3V—5.5V电源电压
- 提供DIP16（FD650K）及SOP16（FD650S）封装

三、管脚定义



四、管脚功能说明

符号	管脚名称	说明
DIG1~DIG4	位/键扫描输出	LED位驱动输出，低电平有效，及作为键盘扫描输出，高电平有效
DAT	数据输入/输出	2线串行接口的数据输入输出。为内置上拉开漏模式。
CLK	时钟输入	2线串行接口的数据时钟输入，内置上拉电阻
A/KI1~G/KI7	段驱动输出/键扫描输入	LED段驱动输出，高电平有效，也用作键扫描输入，高电平有效，内置下拉
DP/KP	段/位输出	LED段输出，也用作键盘标志输出
VCC	电源端	3—5.5V
GND	接地端	接地

五、主要电气参数

极限参数 (Ta = 25°C)

参数	符号	范围	单位
电源电压	VCC	-0.5 ~ +6.5	V
输入电压	VI1	-0.5 ~ VCC + 0.5	V
LED 段驱动输出电流	IO1	0 ~ 30	mA
LED 位驱动输出电流	IO2	0 ~ 150	mA
所有引脚驱动电流总和	IO	0 ~ 150	mA
工作温度	Topt	-40 ~ +85	°C
储存温度	Tstg	-55 ~ +125	°C

电气特性 (测试条件: $T_a = 25^{\circ}\text{C}$, $V_{CC} = 5\text{V}$)

参 数	符 号	最 小	典 型	最 大	单 位
电源电压	VCC	3	5	5.5	V
电源电流	IC	0.2	80	150	mA
静态电流 (CLK、DAT、KP为高电平)	ICs		0.3	0.6	mA
睡眠电流 (CLK、DAT、KP为高电平)	ICslp		0.05	0.1	mA
CLK和DAT引脚低电平输入电压	VIL	-0.5		0.8	V
CLK和DAT引脚高电平输入电压	VIH	2.0		VCC+0.5	V
KI引脚低电平输入电压	VILki	-0.5		0.5	V
KI引脚高电平输入电压	VIHki	1.8	-	VCC+0.5	V
DIG引脚低电平输出电压 (-200mA)	VOLdig			1.2	V
DIG引脚低电平输出电压 (-100mA)	VOLdig	-	-	0.8	V
DIG引脚高电平输出电压 (5mA)	VOHdig	4.5			V
KI引脚低电平输出电压 (-20mA)	VOLki			0.5	V
KI引脚低电平输出电压 (20mA)	VOHki	4.5			V
其余引脚低电平输出电压 (-4mA)	VOL			0.5	V
其余引脚高电平输出电压 (4mA)	VOH	4.5			V
KI引脚输入下拉电流	IDN1	-30	-50	-90	uA
CLK引脚输入上拉电流	IUP1	10	200	300	uA
DAT引脚输入上拉电流	IUP2	150	300	400	uA
KP引脚输出上拉电流	IUP3	500	2000	5000	uA
上电复位的默认电压门限	VR	2.3	2.6	2.9	V

内部时序参数 (测试条件: $T_a = 25^{\circ}\text{C}$, $V_{CC} = 5\text{V}$)

参 数	符 号	最 小	典 型	最 大	单 位
电源上电检测产生的复位时间	TPR	10	25	60	ms
显示扫描周期	TP	4	8	20	ms
键盘扫描间隔, 按键响应时间	TKS	20	40	80	ms

注: 本表时序参数是内置时钟周期的倍数, 内置时钟频率随电源电压的降低而降低。

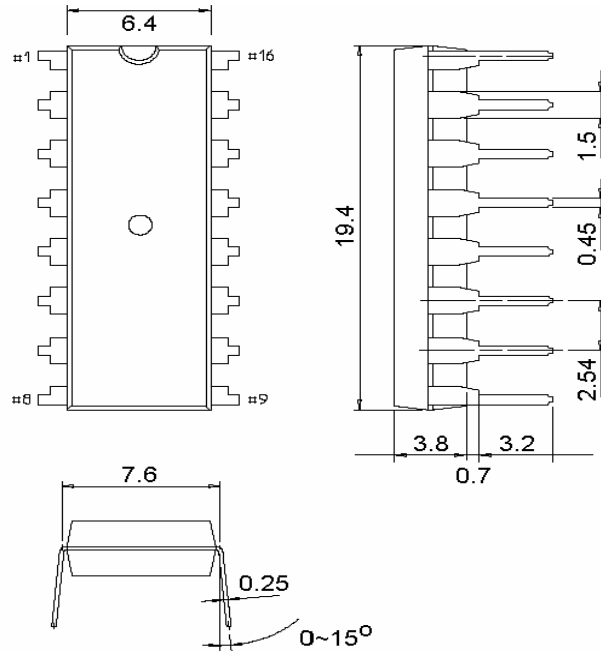
接口时序参数 (测试条件: $T_a = 25^{\circ}\text{C}$, $V_{CC} = 5\text{V}$)

参 数	符 号	最 小	典 型	最 大	单 位
DAT下降沿启动信号的建立时间	TSSTA	100	-	-	ns
DAT下降沿启动信号的保持时间	THSTA	100	-	-	nS
DAT上升沿停止信号的建立时间	TSSTO	100	-	-	ns
DAT上升沿停止信号的保持时间	THSTO	100	-	-	ns
CLK时钟信号的低电平宽度	TCLW	100	-	-	nS
CLK时钟信号的高电平宽度	TCHIG	100	-	-	nS
DAT输入数据对CLK上升沿的建立时间	TSDA	30			nS
DAT输入数据对CLK上升沿的保持时间	THDA	10			nS
DAT输出数据有效对CLK下降沿的延时	TAA	2		30	nS
DAT输出数据无效对CLK下降沿的延时	TDH	2		40	nS
平均数据传输速率	Rate	0		4M	bps

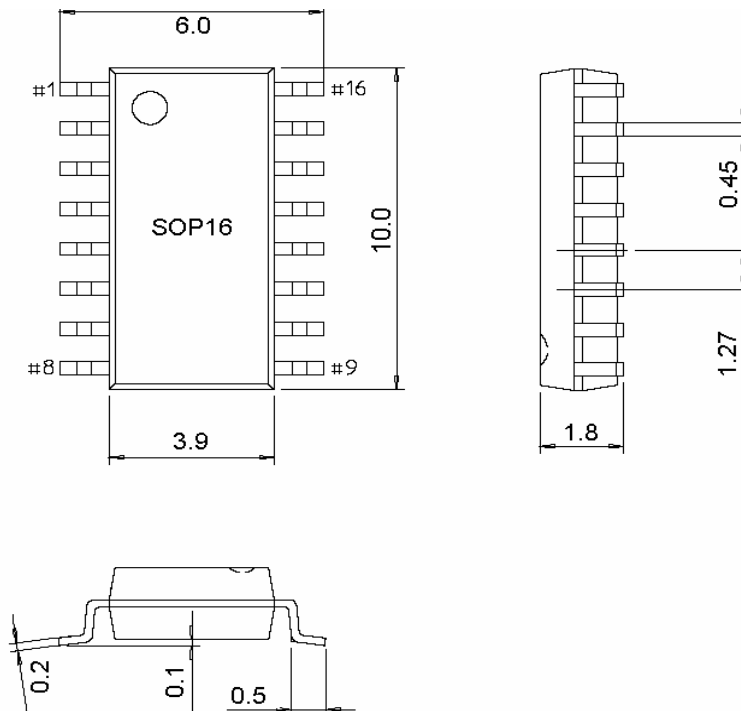
注: 本表计量单位以纳秒即 10^{-9} , 未注明最大值则理论值可以无穷大。

六、封装尺寸

(一) DIP16封装:

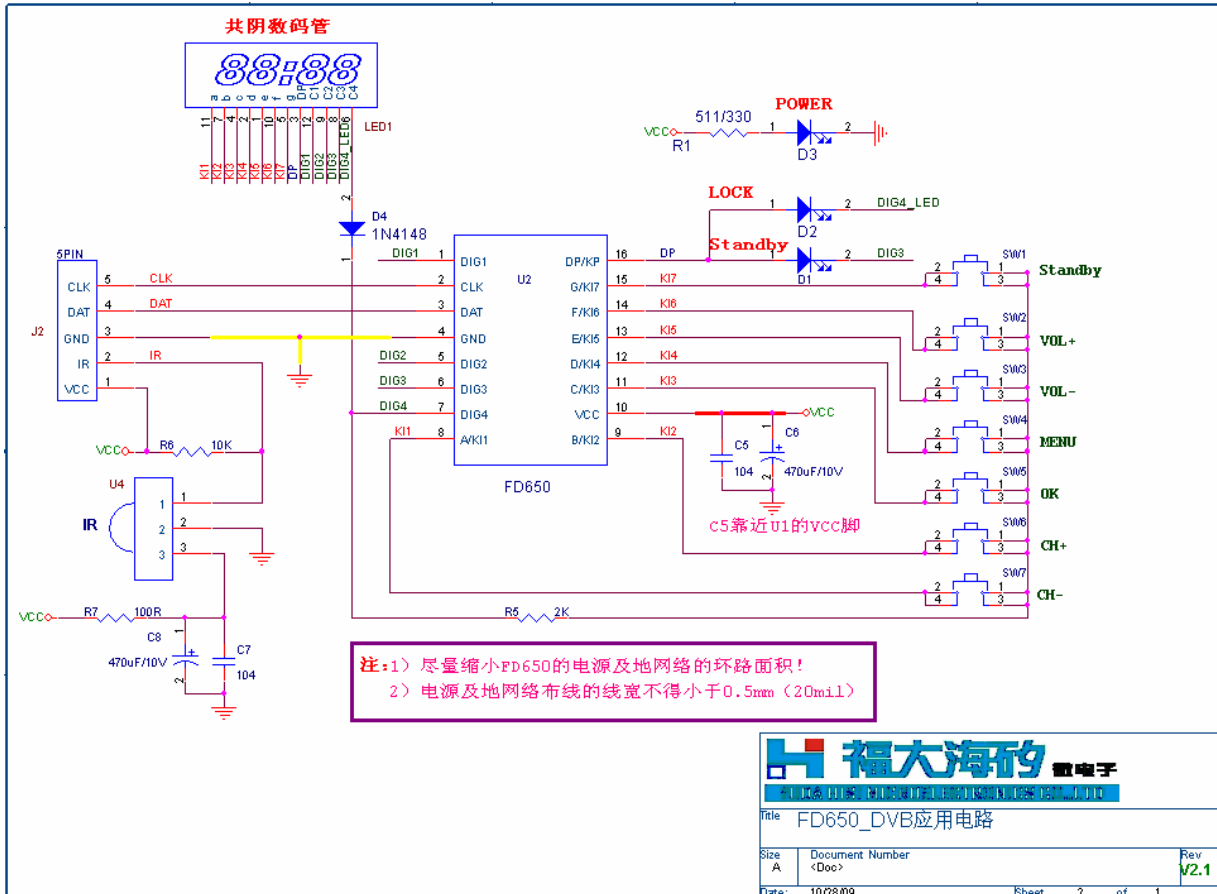


(二) SOP16封装:



七、应用电路

(一) 四位数码管应用电路



福大海的 微电子

集成电路 FD650 DVB应用电路

Title: FD650_DVB应用电路

Size A	Document Number <Doc>	Rev V2.1
Date: 10/28/09	Sheet 2 of 1	

